

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 02 日  
Application Date

申請案號：092124186  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長

Director General

蔡綠生

發文日期：西元 2003 年 10 月 9 日  
Issue Date

發文字號：09221018890  
Serial No.

申請日期：  
申請案號：

IPC分類

(以上各欄由本局填註)

# 發明專利說明書

垂直電晶體之閘極氧化層厚度的量測方式及量測裝置

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	1. 林裕章 2. 張明成
	姓 名 (英文)	1. Yu-Chang Lin 2. Ming-Cheng Chang
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 雲林縣斗南鎮靖光路27號 2. 桃園縣蘆竹鄉蘆竹村12鄰31號
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang Lien	



0542-0073-TW (N1) : 91314 ; Dennis.prd

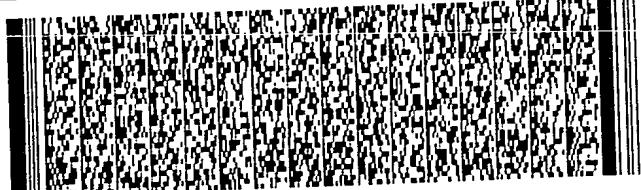
四、中文發明摘要 (發明名稱：垂直電晶體之閘極氧化層厚度的量測方式及量測裝置)

一種垂直電晶體之閘極氧化層厚度之量測裝置，包括一第一主動區，設置於一基板上，具有一至少 $2F$ 之既定寬度；一第一至第五字元線，沿一第一方向，設置於基板中，每兩條字元線間具有一最小線寬 $F$ ，並且第一至第五字元線之第一端係電性連接在一起；一第一、第二溝槽電容器，分別設置於第二及第四字元線之下方，上述第一、第二溝槽電容器之長度係大於上述第一主動區之既定寬度，且第一、第二溝槽電容器間具有一 $3F$ 之既定間隔；一第一、第二閘極結構，分別設置於第一溝槽電容器與第二字元線之間及第二溝槽電容器與第四字元線之間，各包括一閘極導電層與一閘極氧化層，其中閘極導電層係與其上之字元線電性連接。

伍、(一)、本案代表圖為：第3圖。

(二)、本案代表圖之元件代表符號簡單說明：

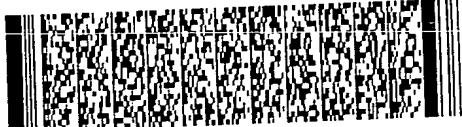
六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：垂直電晶體之閘極氧化層厚度的量測方式及量測裝置)

200~量測裝置；  
101~溝槽電容器；  
141~主動區；  
121~字元線；  
201~第一導電層；  
G<sub>OX</sub>~閘極氧化層；  
C<sub>G<sub>OX</sub></sub>~電容器。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明有關於一種量測裝置，特別有關一種垂直電晶體之閘極氧化層厚度的量測裝置及其量測方法。

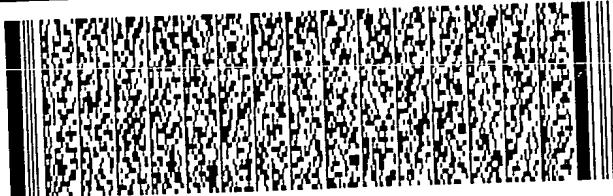
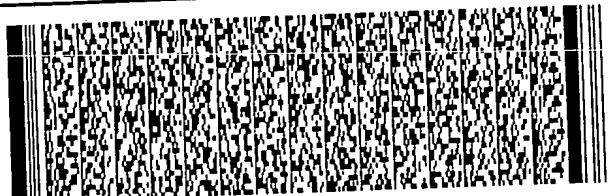
### 【先前技術】

目前隨著積體電路被廣泛地運用，為因應不同使用目的，更高效能與更低廉價格之各類半導體元件相繼產出，其中，DRAM在現今資訊電子業中更有著不可或缺的地位。

現今大多數的DRAM單元是由一個電晶體與一個電容器所構成。由於目前DRAM之記憶容量已達到64百萬位甚至256百萬位元以上，在元件積集度要求越來越高的情況下，記憶單元與電晶體的尺寸需要大幅縮小，才可能製造出記憶容量更高，處理速度更快的DRAM。利用立體化電容器的製程技術，可以大量地減少電容器於半導體基底上所佔佈之面積，因此立體化電容器開始被運用於DRAM的製程上，例如溝槽型電容器，便被廣泛地運用在記憶容量為64百萬位元以上的DRAM。

相對於傳統水平式電晶體佔佈半導體表面相當的面積，無法滿足目前高度積集化的需求，因此可大幅改善習知的半導體記憶單元缺點且較為節省空間之垂直式電晶體，將成為目前及未來製造半導體記憶單元的主要潮流。

然而，在垂直式電晶體中，主動區寬度的變動將會影響閘極氧化層的崩潰電壓。習知技術並沒有可以量測垂直電晶體之閘極氧化層厚度的方法或裝置，因此，本發明提供一個可以用來量測閘極氧化層厚度的裝置及方法。



## 五、發明說明 (2)

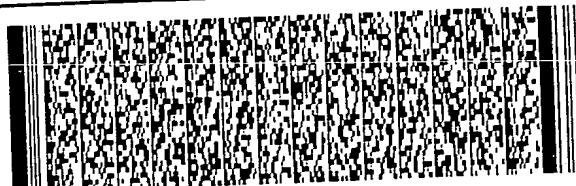
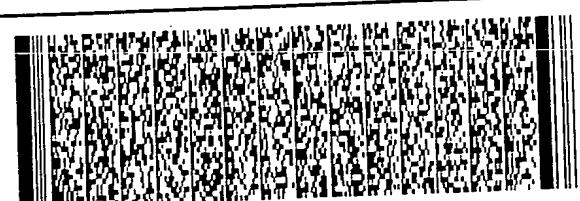
### 【發明內容】

有鑑於此，本發明之首要目的，係在於量測垂直電晶體中閘極氧化層之厚度。

根據上述目的，本發明係提供一種垂直電晶體之閘極氧化層厚度的量測方法及量測裝置。

上述量測裝置包括一第一主動區，設置於一基板上，具有一至少 $2F$ 之既定寬度；一第一至第五字元線，沿一第一方向，設置於基板中，每兩條字元線間具有一最小線寬 $F$ ，並且第一至第五字元線之第一端係電性連接在一起；一第一、第二溝槽電容器，分別設置於第二及第四字元線之下方，上述第一、第二溝槽電容器之長度係大於上述第一主動區之既定寬度，且第一、第二溝槽電容器間具有一 $3F$ 之既定間隔；一第一、第二閘極結構，分別設置於第一溝槽電容器與第二字元線之間及第二溝槽電容器與第四字元線之間，各包括一閘極導電層與一閘極氧化層，其中閘極導電層係與其上之字元線電性連接；以及一摻雜層，設置於第一至第五字元線之第二端下方之基板中。

本發明之偵測具有垂直式電晶體之DRAM的閘極結構與深溝電容器之重疊偏移的方法，包括提供一晶圓，上述晶圓至少具有一切割道和一記憶胞區。接著，於晶圓之切割道形成一測試元件，並同時於晶圓之記憶胞區，形成複數道具有垂直式電晶體之記憶胞。然後，量測第一導電層與第一主動區間之一等效電容值。再根據等效電容值，估算測元件中之閘極氧化層的厚度。最後，藉由量測元件中之



### 五、發明說明 (3)

閘極氧化層的厚度，估算記憶胞區中垂直電晶體之間極氧化層的厚度。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

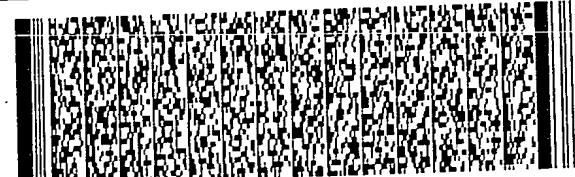
#### 【實施方式】

本發明係提供一種垂直電晶體之間極氧化層厚度的量測方法及量測裝置。

本發明之量測方法，首先係於晶圓之記憶胞區100形成複數記憶胞之同時，於晶圓之切割道區域形成至少一量測裝置200，其中記憶胞區100形成之複數記憶胞的結構如第1圖、第2圖中所示，並且量測裝置之佈局如第3圖所示。

如第1圖、第2圖中所示，記憶胞區200之複數溝槽電容器10係設置於一基板中，並且相鄰兩列之溝槽電容器10係以交錯方式排列。複數主動區14係沿著水平方向，設置於基板中，並且每一列主動區14係形成於每一列溝槽電容器14的上方。複數字元線12係沿著垂直方向設置於上述基板上，並每一字元線12與其下方之溝槽電容器10之間設置有一閘極結構GC。其中導電層16、絕緣層GOX及摻雜區18分別作為垂直電晶體之閘極、閘極氧化層以及源極，摻雜區18(垂直電晶體之源極)用以電性連接對應之溝槽電容器10。

如第3圖、第4圖中所示，本發明之量測裝置200中，

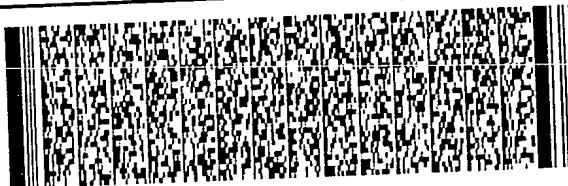


## 五、發明說明 (4)

一、發明說明 (4)  
第一主動區141係設置於一基板上，並具有一至少 $2F$ 之既定寬度。字元線121係沿一第一方向，設置於基板上，每兩條字元線121間具有一最小線寬 $F$ ，並且字元線之第一端係電性連接在一起，於本例中，所有字元線121之第一端係藉由一第一導電層201而電性連接在一起。長條型溝槽電容器101，係設置於該基板中，且每兩長條型溝槽電容器101間具有一 $3F$ 之既定間隔，第一、第二長條型溝槽電容器101之長度係大於第一主動區141之既定寬度，每一長條型溝槽電容器101其上方設置有一條字元線121，並其上方之字元線121電性連接。閘極結構GC係設置於長條型溝槽電容器101與其下方之字元線121之間，各包括一閘極導電層161與一閘極氧化層GOX，其中閘極導電層161係與字元線121電性連接；以及一摻雜層22，設置於字元線121之第二端下方之基板中。

在本發明中，係於一晶圓之記憶胞區內形成記憶胞之溝槽電容器10(如第1圖、第2圖)的同時，使用同一光罩及製程參數，於該晶圓之切割道區中，形成複數長條型溝槽電容器101，其中每個溝槽電容器101皆具有1F的寬度，並且每兩個溝槽電容器101之間皆具有3F的間距，其中F係為一字元線之最小線寬。

接著，於定義記憶胞區之主動區14之同時，使用同一光罩及製程參數，於晶圓之切割道區域上，定義出一至少具有 $2F$ 之既定寬度的主動區141，並且主動區141大體上垂直於長條型溝槽電容器101。



## 五、發明說明 (5)

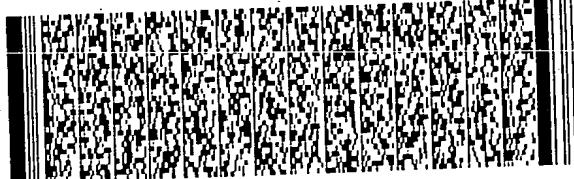
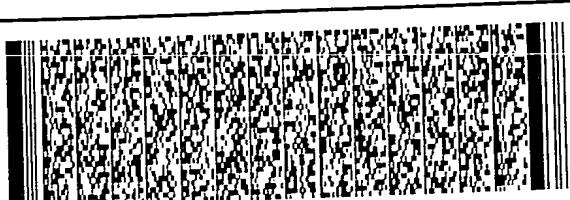
然後，在形成記憶胞區100中之閘極結構GC之同時，使用同一光罩及製程參數，分別於長條型溝槽電容器101之上，形成對應閘極結構GC1，每一閘極結構GC1係至少具有一閘極導電層161與一閘極氧化層GOX。

接著，在形成記憶胞區100中複數記憶胞的字元線12之同時，使用同一光罩及製程參數，於切割道之主動區141上形成複數字元線121，字元線121係平行地設置於切割道上，每兩條字元線121間具有一最小線寬F。另外，所有字元線121之第一端係藉由一第一導電層201電性連接在一起，並且閘極結構GC1會與其上方對應之一字元線電性連接。

本發明之量測方法，接著量測第一導電層121與主動區141間之一等效電容值Cs。再根據等效電容值Cs，估算量測元件中之閘極氧化層GOX的厚度。由於本發明量測元件之結構，主動區141與字元線121及其之間的閘極氧化層GOX會構成一電容器 $C_{GOX}$ 的結構。

舉例來說，主動區141可視為電容器 $C_{GOX}$ 之上電極，閘極氧化層GOX可視為電容器 $C_{GOX}$ 之絕緣層，而字元線可視為電容器 $C_{GOX}$ 之下電極。因此，第一導電層121與主動區141間可以量測到複數個 $C_{GOX}$ 並聯而成的等效電容值Cs，如第5a

圖、第5b圖中所示。根據公式  $C = \frac{\epsilon}{d} \times A$ ，即可得知量測元件中閘極氧化層GOX之厚度d，其中C為等效電容值CS， $\epsilon$ 為閘極氧化層GOX之介電系數，A為閘極氧化層GOX與主動區



## 五、發明說明 (6)

141 之等效接面面積。因此，本發明可以藉由量測到之電容值  $C_s$ ，估算量測元件中閘極氧化層  $GOX$  之厚度。

由於記憶胞區中之閘極結構  $GC$  與切割道區中之閘極結構  $GC1$  係使用及相同製程參數而形成，因此，藉由量測元件中之閘極氧化層  $GOX$  的厚度，即可估算出記憶胞區中垂直電晶體之閘極氧化層  $GOX$  的厚度。

於本發明之量測方法中，將量測元件元設置於晶圓之切割道中，可以同步與記憶胞區進行相同製程，量測垂直電晶體之閘極氧化層的厚度，且避免佔據記憶胞區之空間。

此外，如第6圖中所示，本發明之量測元件更可包括一至少  $2F$  之既定寬度之第二主動區 142，與第一主動區 141 係沿著一第二方向設置於基板上，並且第一、第二主動區 141、142 係藉由一第二導電層 202 連接在一起。同樣地，第一導電層 121 與主動區 141、142 間可以量測到一等效電容值  $C_s$ 。由於本發明量測元件之結構，主動區 141、142 與字元線 121 及其之間的閘極氧化層  $GOX$  會構成一電容器  $C_{GOX}$  的結構，因此，量測元件中之閘極氧化層  $GOX$  的厚度即可以

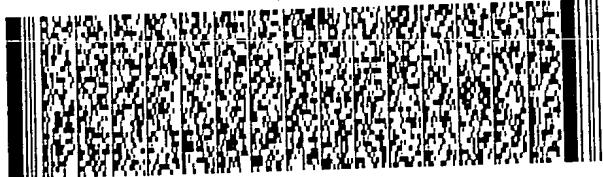
根據等效電容值  $C_s$  以及公式  $C = \frac{\epsilon}{d} \times A$  估算出來。其中， $d$  為閘極氧化層  $GOX$  之厚度， $C$  為等效電容值  $C_s$ ， $\epsilon$  為閘極氧化層  $GOX$  之介電系數。由於記憶胞區中之閘極結構  $GC$  與切割道區中之閘極結構  $GC1$  係使用及相同製程參數而形成，因此，藉由量測元件中之閘極氧化層  $GOX$  的厚度，即可估算

五、發明說明 (7)

出記憶胞區中垂直電晶體之閘極氧化層G0X的厚度。

同樣地，本發明亦可以使用沿著水平方向排列之複數個主動區來實施，其中複數個主動區係電性連接在一起，舉例來說，所有複數個主動區可藉由導電層而電性連接在一起。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

- 第1圖為本發明記憶胞區中記憶胞之佈局圖。  
第2圖為本發明第1圖中記憶胞之剖面圖。  
第3圖為本發明中量測元件之佈局圖。  
第4圖為本發明之量測元件之剖面圖。  
第5a圖及第5b圖為本發明之等效示意圖。  
第6圖為本發明中量測元件之另一佈局圖。

【符號說明】

- 100~ 記憶胞區；  
200~ 量測裝置；  
10、101~ 溝槽電容器；  
14、141、142~ 主動區；  
12、121~ 字元線；  
16~ 導電層；  
18~ 掺雜區；  
22~ 掺雜層；  
GC、GC1~ 閘極結構；  
161~ 閘極導電層；  
201~ 第一導電層；  
202~ 第二導電層；  
GOX~ 閘極氧化層；  
C<sub>GOX</sub>~ 電容器。



## 六、申請專利範圍

1. 一種垂直電晶體之間極氧化層厚度的量測裝置，係設置於一切割道區中，包括：

一第一主動區，設置於一基板上，具有一至少 $2F$ 之既定寬度；

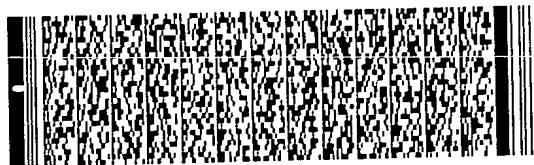
一第一至第五字元線，沿一第一方向，設置於上述基板中，每兩條字元線間具有一第一既定間隔，並且上述第一至第五字元線之第一端係電性連接在一起；以及

一第一、第二長條型溝槽電容器，分別設置於上述溝槽電容器間具有一第二既定間隔，上述第一、第二長條型溝槽電容器之長度係大於上述第一主動區之既定寬度；其中上述第一既定間隔小於該第二既定間隔，且 $F$ 係為上述字元線之最小線寬；以及

一第一、第二閘極結構，分別設置於上述第一長條型溝槽電容器與上述第二字元線之間及上述第二長條型溝槽電容器與第四字元線之間，各包括一閘極導電層與一閘極氧化層，其中上述閘極導電層係與其上之字元線電性連接。

2. 如申請專利範圍第1項所述之垂直電晶體之間極氧化層厚度的量測裝置，其中上述第一至第五字元線係藉由一第一導電層電性連接在一起。

3. 如申請專利範圍第1項所述之垂直電晶體之間極氧化層厚度的量測裝置，其中上述第一既定間隔係為字元線之最小線寬 $F$ 。



## 六、申請專利範圍

4. 如申請專利範圍第1項所述之垂直電晶體之閘極氧化層厚度的量測裝置，其中上述第二既定間隔係為 $3F$ ， $F$ 為字元線之最小線寬。

5. 如申請專利範圍第1項所述之垂直電晶體之閘極氧化層厚度的量測裝置，其中更包括一第二主動區，具有一至少 $2F$ 之既定寬度，與上述第一主動區係沿著一第二方向設置於上述基板上，並且上述第一、第二主動區係藉由一第二導電層連接在一起。

6. 如申請專利範圍第1項所述之垂直電晶體之閘極氧化層厚度的量測裝置，其中上述第二既定間隔係為 $3F$ ， $F$ 為字元線之最小線寬。

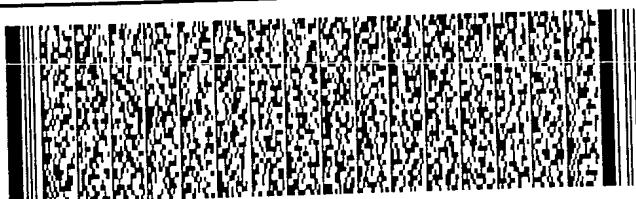
7. 如申請專利範圍第1項所述之垂直電晶體之閘極氧化層厚度的量測裝置，更包括一摻雜層設置於上述字元線之第二端下方之基板中。

8. 如申請專利範圍第1項所述之垂直電晶體之閘極氧化層厚度的量測裝置，其中上述第一方向係與上述第二方向大體上垂直。

9. 一種垂直電晶體之閘極氧化層厚度的量測裝置，係設置於一切割道區中，包括：

一第一主動區，設置於一基板上，具有一至少 $2F$ 之既定寬度；

一第一至第五字元線，沿一第一方向，設置於上述基板中，每兩條字元線間具有一最小線寬 $F$ ，並且上述第一至第五字元線之第一端係電性連接在一起；



六、申請專利範圍

一第一、第二長條型溝槽電容器，分別設置於上述第二及第四字元線之下方，上述第一、第二長條型溝槽電容器之長度係大於上述第一主動區之既定寬度；並且上述第一、第二長條型溝槽電容器間具有一 $3F$ 之既定間隔；

一第一、第二閘極結構，分別設置於上述第一長條型溝槽電容器與上述第二字元線之間及上述第二長條型溝槽電容器與第四字元線之間，各包括一閘極導電層與一閘極氧化層，其中上述閘極導電層係與其上之字元線電性連；以及

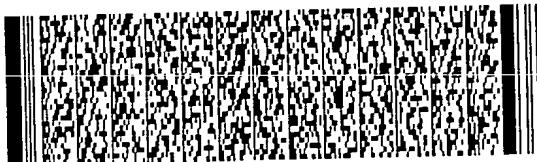
一摻雜層，設置於上述第一至第五字元線之第二端下方之基板中。

10. 如申請專利範圍第9項所述之垂直電晶體之閘極氧化層厚度的量測裝置，其中更包括一第二主動區，具有一至少 $2F$ 之既定寬度，與上述第一主動區係沿著一第二方向設置於上述基板上，並且上述第一、第二主動區係藉由一第二導電層連接在一起。

11. 如申請專利範圍第1項所述之垂直電晶體之閘極氧化層厚度的量測裝置，其中上述上述第一至第五字元線之第一端係藉由一第一導電層電性連接在一起。

12. 如申請專利範圍第1項所述之垂直電晶體之閘極氧化層厚度的量測裝置，其中上述第一方向係與上述第二方向大體上垂直。

13. 一種垂直電晶體之閘極氧化層厚度的量測方法，包括下列步驟：



六、申請專利範圍

提供一晶圓，上述晶圓至少具有一切割道和一記憶胞區；

於上述晶圓之切割道形成一量測裝置，並同時於上述晶圓之上述記憶胞區，形成複數具有垂直式電晶體之記憶胞，其中上述量測結構包括：

一第一主動區，設置於一基板上，具有一至少 $2F$ 之既定寬度；

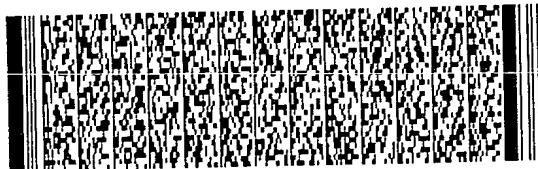
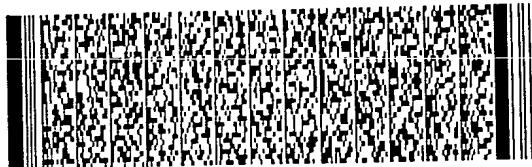
一第一至第五字元線，沿一第一方向，設置於上述基板中，每兩條字元線間具有一最小線寬 $F$ ，並且上述第一至第五字元線之第一端係藉由一第一導電層電性連接在一起；

一第一、第二長條型溝槽電容器，分別設置於上述第二及第四字元線之下方，上述第一、第二長條型溝槽電容器之長度係大於上述第一主動區之既定寬度；並且上述第一、第二長條型溝槽電容器間具有一 $3F$ 之既定間隔；以

一第一、第二閘極結構，分別設置於上述第一長條溝槽電容器與上述第二字元線之間及上述第二長條溝槽電容器與上述第四字元線之間，各包括一閘極導電層與一閘極氧化層，其中上述閘極導電層係與其上之字元線電性連；

量測上述第一導電層與上述第一主動區間之一等效電容值；

根據上述等效電容值，估算上述量測元件中之上述閘極氧化層的厚度；以及



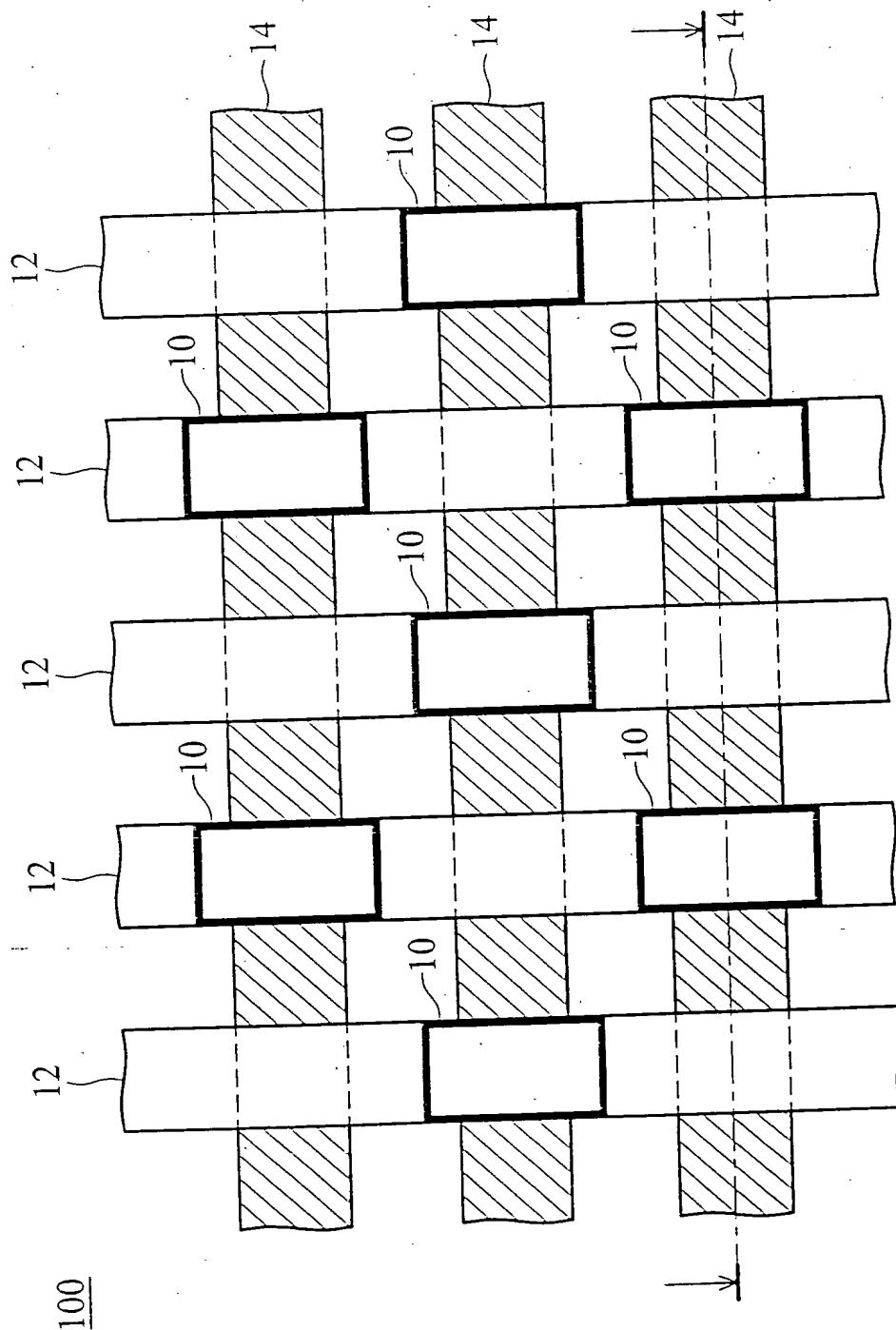
## 六、申請專利範圍

藉由上述量測元件中之上述閘極氧化層的厚度，估算上述記憶胞區中垂直電晶體之上述閘極氧化層的厚度。

14. 如申請專利範圍第13項所述之垂直電晶體之閘極氧化層厚度的量測方法，其中上述量測元件之閘極氧化層的厚度d係藉由公式  $C = \frac{\epsilon}{d} \times A$  而得知，其中C為上述等效電容值， $\epsilon$ 為閘極氧化層之介電系數，A為上述閘極氧化層與上述第一主動區之等效接面面積。

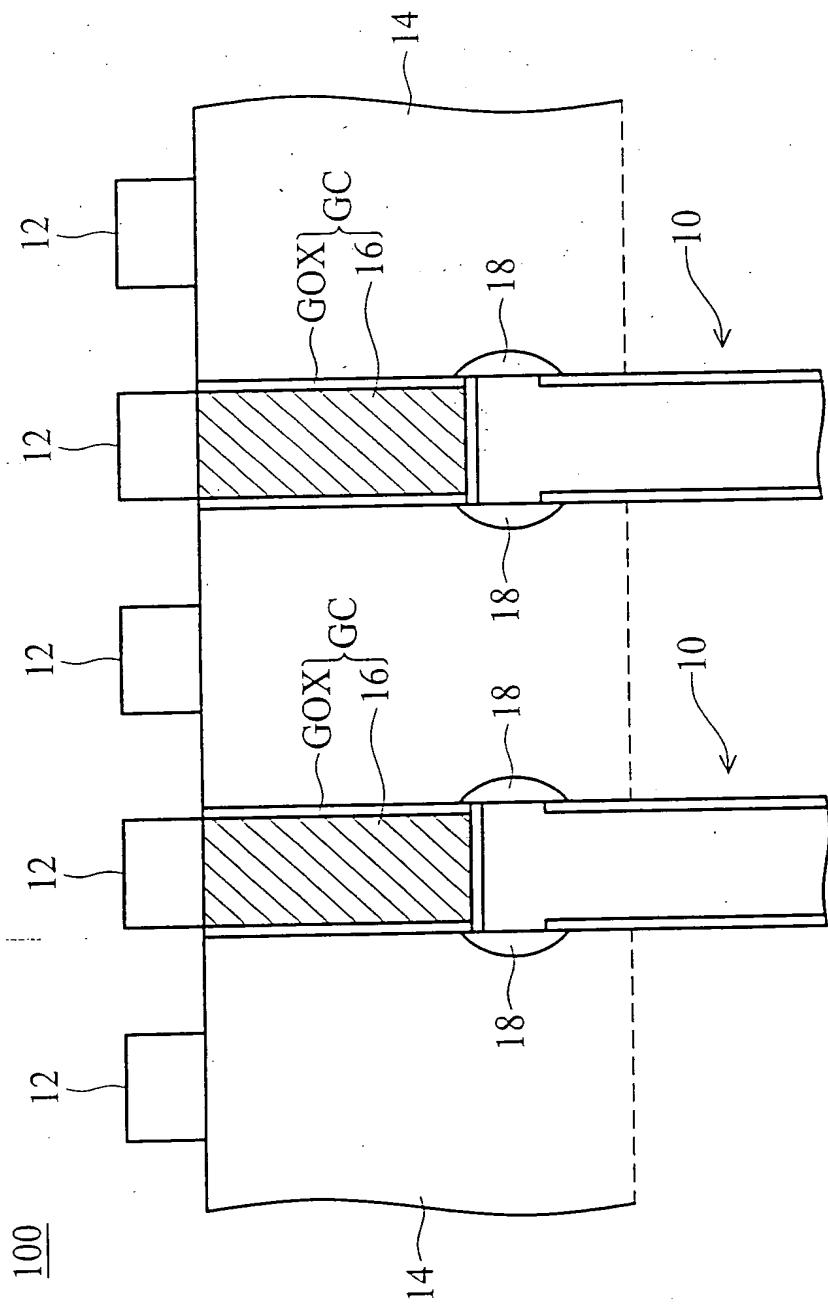


第1圖

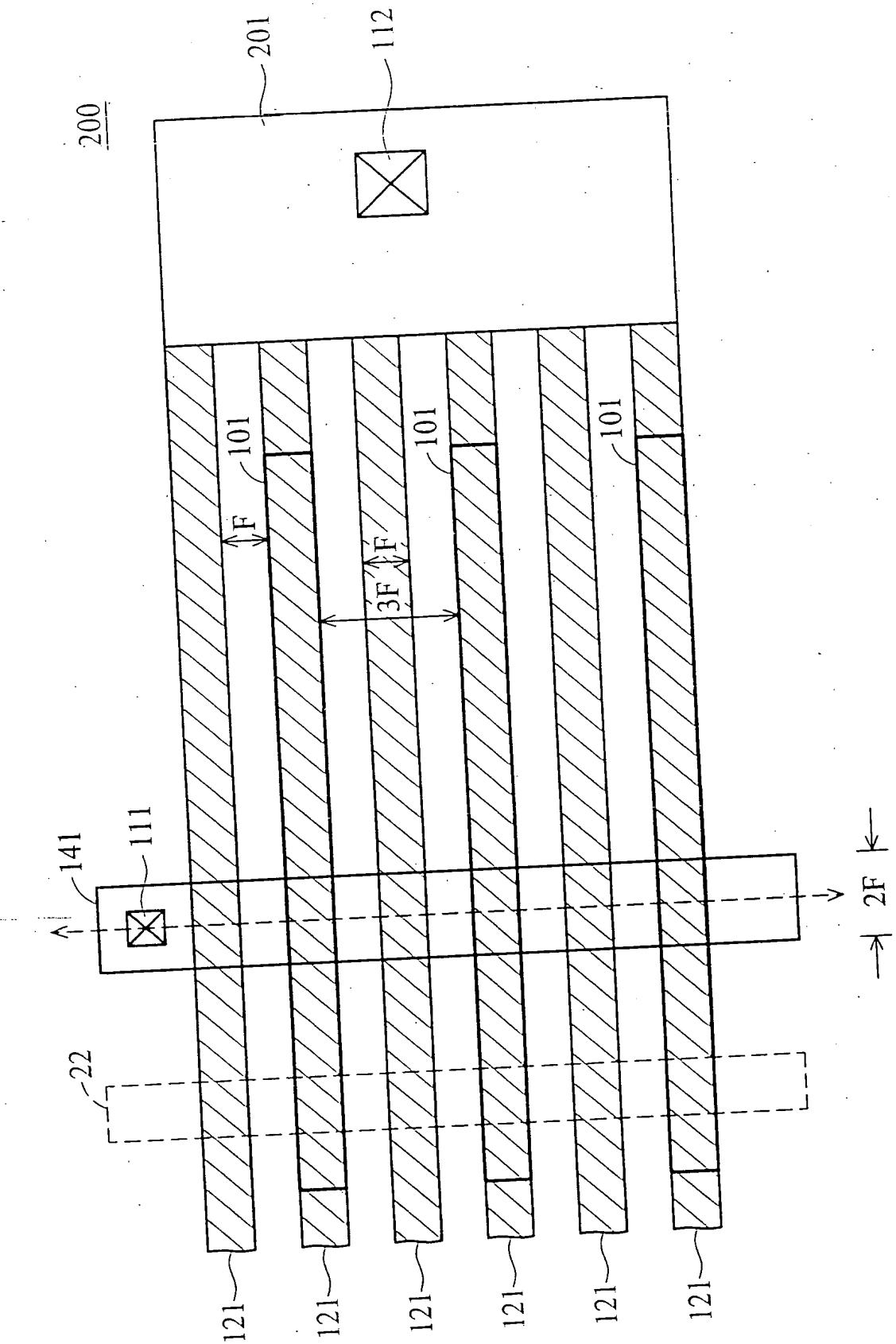


100

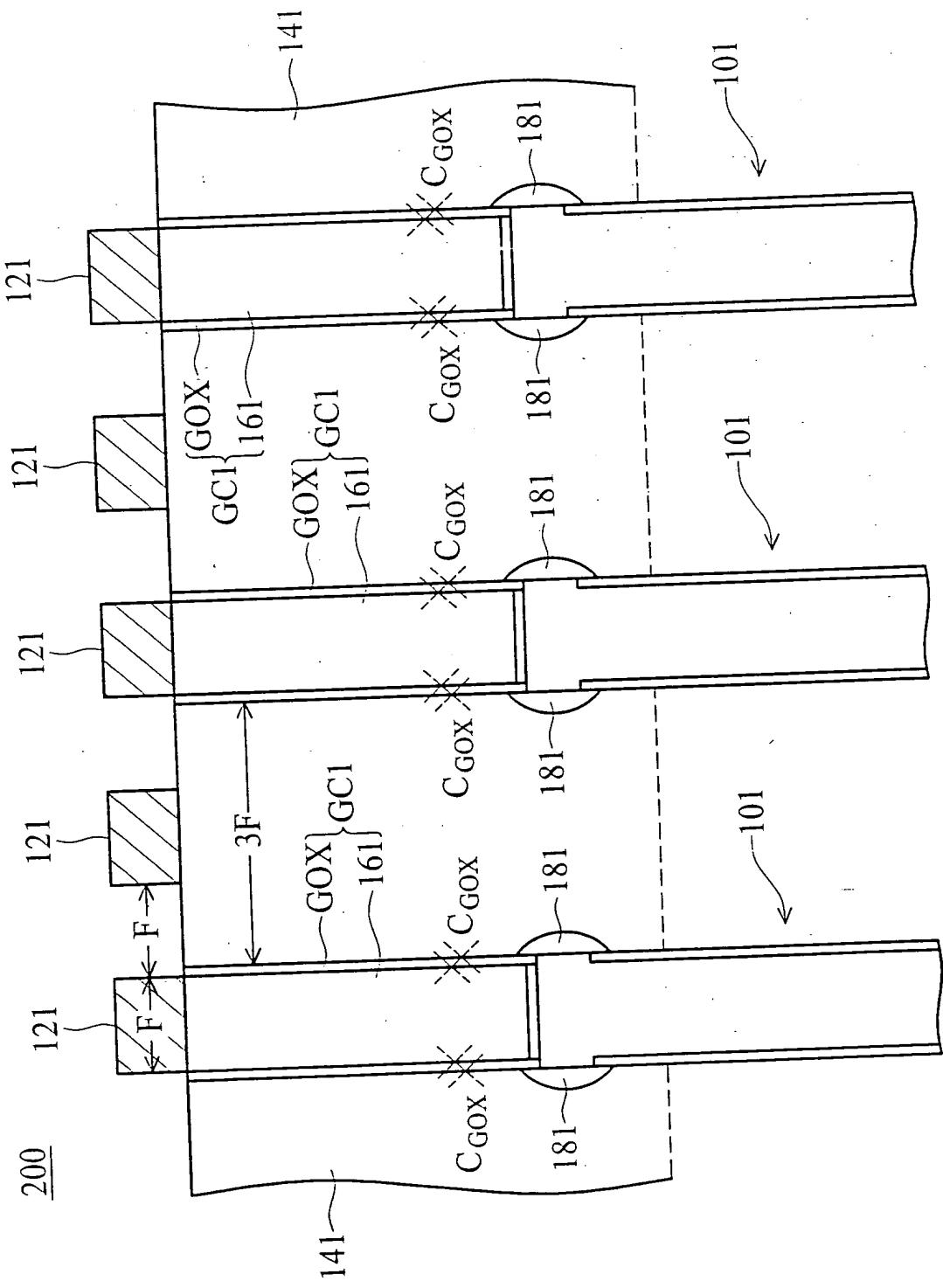
第2圖

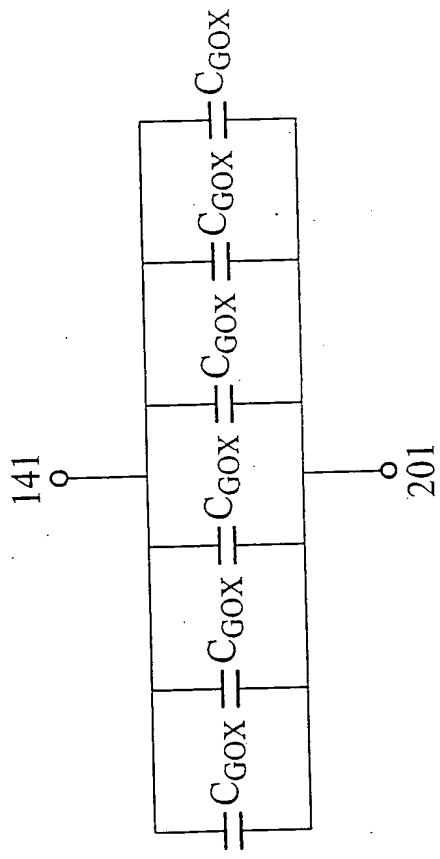


第3圖

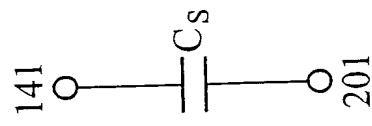


第4圖



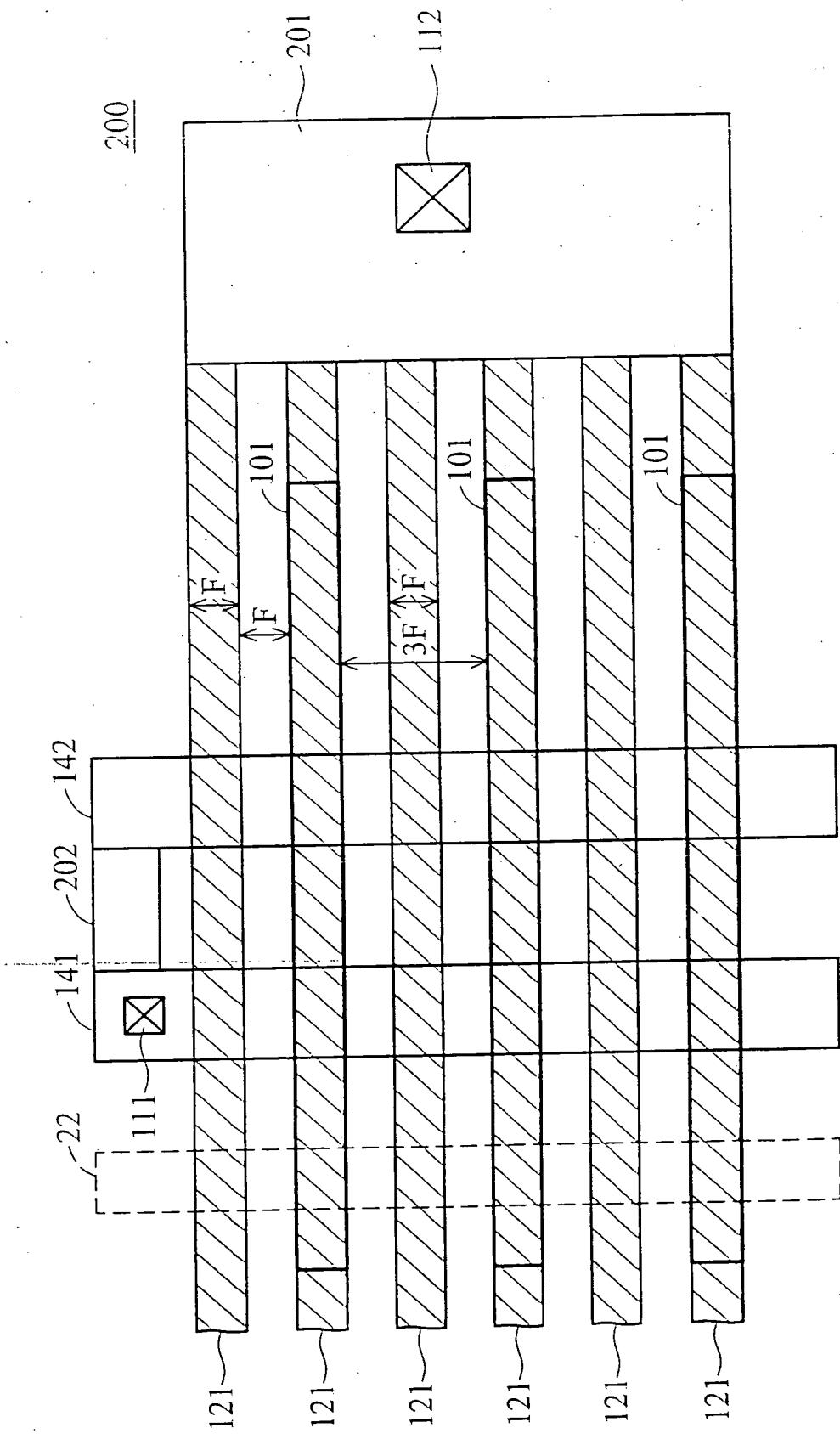


第 5a 圖



第 5b 圖

第 6 圖



第 1/17 頁

第 2/17 頁

第 3/17 頁

第 4/17 頁

第 5/17 頁

第 5/17 頁

第 6/17 頁

第 6/17 頁

第 7/17 頁

第 7/17 頁

第 8/17 頁

第 8/17 頁

第 9/17 頁

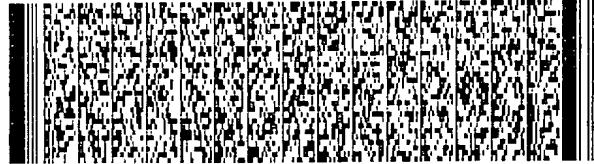
第 9/17 頁

第 10/17 頁

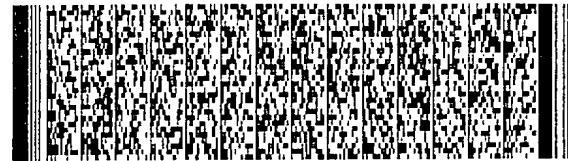
第 10/17 頁

LAST AVAILABLE COPY

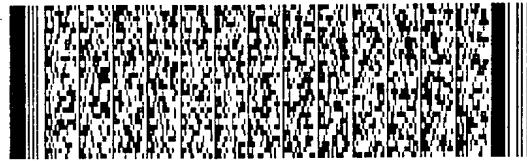
第 11/17 頁



第 12/17 頁



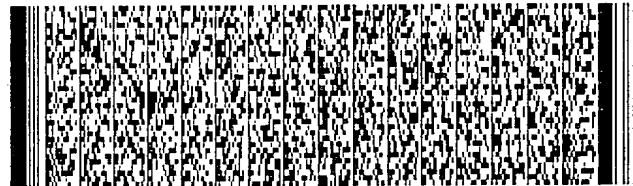
第 13/17 頁



第 13/17 頁



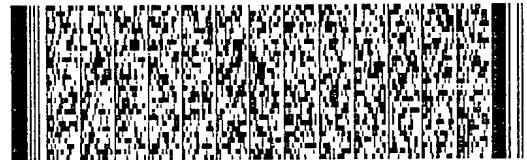
第 14/17 頁



第 15/17 頁



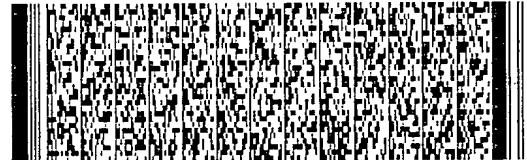
第 15/17 頁



第 16/17 頁



第 16/17 頁



第 17/17 頁



BEST AVAILABLE COPY